

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-224782

(43)公開日 平成10年(1998)8月21日

(51)Int.Cl.⁶

H 04 N 7/24
G 10 L 9/18

識別記号

F I

H 04 N 7/13
G 10 L 9/18

Z
G

審査請求 未請求 請求項の数 2 O L (全 12 頁)

(21)出願番号

特願平9-26322

(22)出願日

平成9年(1997)2月10日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233136

株式会社日立画像情報システム

神奈川県横浜市戸塚区吉田町292番地

(72)発明者 桜井 博

神奈川県横浜市戸塚区吉田町292番地株式

会社日立画像情報システム内

(72)発明者 倉重 知行

神奈川県横浜市戸塚区吉田町292番地株式

会社日立画像情報システム内

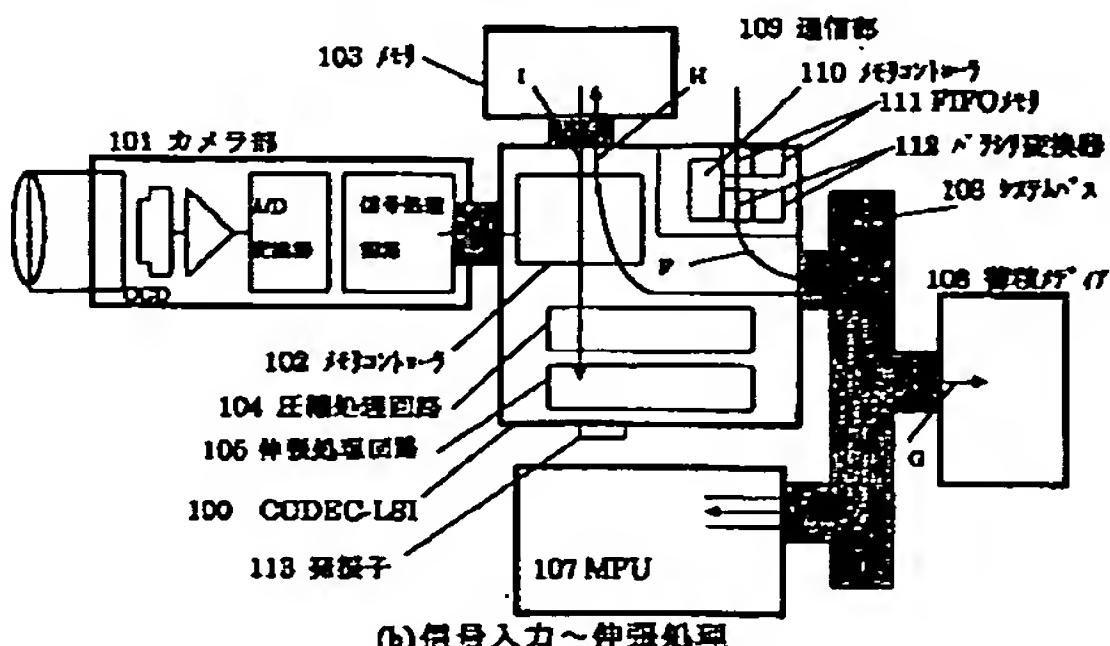
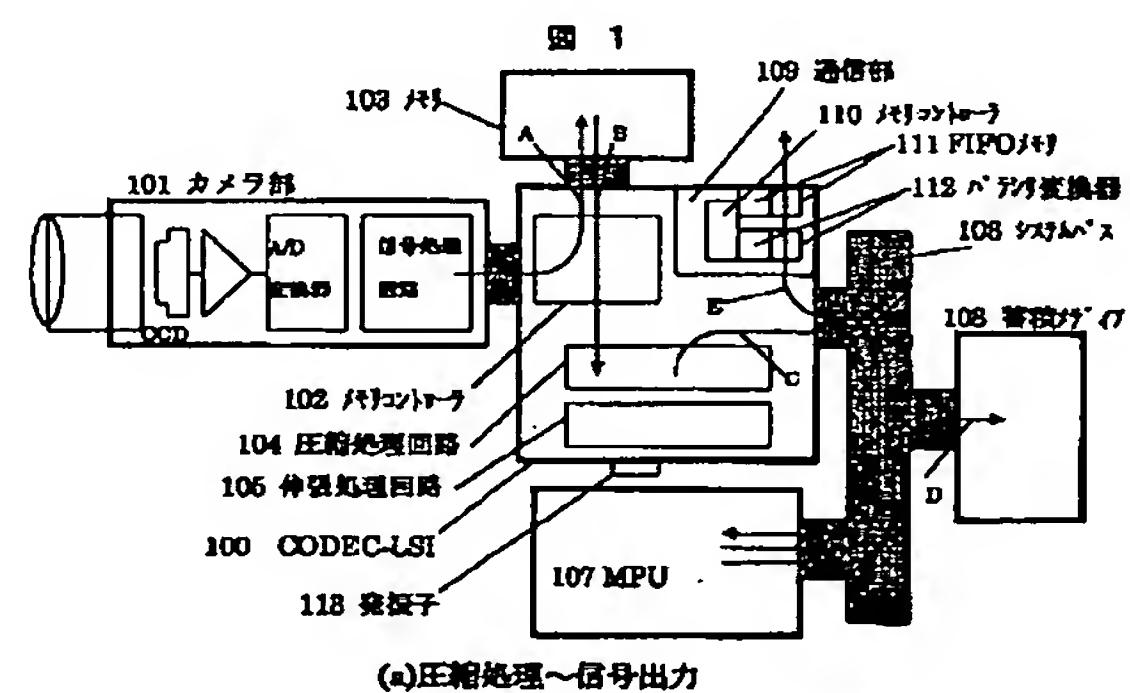
(74)代理人 弁理士 小川 勝男

最終頁に続く

(54)【発明の名称】 画像音声圧縮装置および画像音声圧縮用半導体集積回路

(57)【要約】

【解決手段】 画像ないし音声情報の圧縮伸張処理を行うLSI 100と同一半導体基板上に通信のためのメモリコントローラ102、メモリ103等を設ける。また、圧縮伸張処理部104と通信部109に供給するクロックパルスをLSI 100に接続された共通の発振子113から生成する。画像ないし音声情報の圧縮伸張処理を行うCODEC-LSIを内蔵し、外部との通信機能を有した装置全体のチップ数、部品数を削減し、小型軽量化する事が出来る。



【特許請求の範囲】

【請求項1】画像ないし音声情報の圧縮あるいは伸張を行う機能と、圧縮された画像ないし音声情報を装置外部と通信しうる機能を具備した画像音声圧縮装置において、前記画像ないし音声情報の圧縮を行う圧縮手段、前記圧縮手段で圧縮された圧縮情報を伸張する伸張手段、及び前記装置外部との通信のための通信手段を同一半導体基板上に構成したことを特徴とする画像音声圧縮装置。

【請求項2】画像ないし音声情報の圧縮を行う圧縮手段、前記圧縮手段で圧縮された圧縮情報を伸張する伸張手段、及び前記装置外部との通信のための通信手段を同一半導体基板上に構成したことを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は画像圧縮機能を有する装置に係り、特に、圧縮された画像情報をビットストリームに変換して出力する機能を有した画像圧縮装置に関する。

【0002】

【従来の技術】画像圧縮技術、およびLSI技術の進歩により、ITU-T勧告のH.261, MPEG I, IIなどの規格に準拠した画像情報圧縮伸張装置（エンコーダ/デコーダ）が一般的に普及しつつある。

【0003】これら画像情報圧縮伸張装置を一般にCODEC、およびこのための信号処理LSIをCODEC_LSIというが、マルチメディアのキーデバイスの一つとして、CODEC_LSIの小型低価格化が推進されている。

【0004】CODECにより圧縮された情報は、圧縮されたデータのビットストリームの形で光ディスク等の蓄積メディアに格納したり、ISDN回線およびATM通信網等を用いて伝送されて利用されることが考えられている。このためITU-Tでは、H.221勧告や、MPEG II勧告の1部などで蓄積ないし伝送に関する規定を与えており、特に後者に関してはTV学会誌Vol.49 No.5（'95年4月号）pp480～489吉村他“システム”等で解説されている。

【0005】

【発明が解決しようとする課題】上記したCODECをカメラやVTR等のAV機器に内蔵した場合には、従来アナログ信号の送受信により行っていた映像音声情報等の交換、移動といった処理を、圧縮情報のビットストリーム通信により行なうことが自然である。

【0006】そのためCODEC機能を有するAV装置には、画像情報の圧縮伸張機能と合わせて、圧縮された映像情報を他のCODEC機器に出力したり、逆に他のCODEC機器から入力されたビットストリームから画像音声情報を伸張再生することのできるように、通信機

能を持たせることが望ましい。

【0007】ところでこのような装置間の通信に用いられるビットストリームは、伝送路の種類や信頼性、接続形態等によって、従来例に示されたような画像音声情報のCODEC処理に必要な情報以外の、例えば送信端、受信端のアドレス情報などが付加されて伝送される場合がほとんどであり、当然ながらこれらはCODEC処理に必要な情報とは分離して管理されなければならない。従って装置外部との通信機能を持ったCODEC機器は、（1）CODEC部分（2）装置に入出力されるビットストリームを生成解釈する部分（3）実際のビットストリームの入出力を行う通信部分の三つの部分が必要であるが、従来これらの各部分、特に（2）（3）にたいして（1）は独立に構成されており、小型軽量化のための充分な考慮がなされていなかった。

【0008】

【課題を解決するための手段】上記したCODEC装置、すなわち、これに内蔵されたCODEC_LSIには、画像データの直交変換などのために用いるメモリとメモリコントローラが必須である。また通信機能でも、CODECで生成されるビットストリームのビットレートと異なるビットレートでのリアルタイム通信を行ったり、何らかの原因で伝送路に発生するジッタへ対応させるなどの理由から、同じくメモリとメモリコントローラが必要となり、それぞれは同様の半導体プロセスで実現されるものである。

【0009】そこで本発明では、画像ないし音声情報の圧縮を行う圧縮手段、圧縮手段で圧縮された圧縮情報を伸張する伸張手段、及び装置外部との通信のための通信手段を同一半導体基板上に構成した。従って、圧縮伸張用メモリと通信用メモリ、およびそれらのコントローラをCODEC_LSIとは別個に設ける必要がなく、CODECを内蔵したカメラやVTR等のAV機器の全体のチップ数、部品数を削減し、小型軽量化できる。

【0010】

【発明の実施の形態】以下に本発明の1実施例を図1を用いて説明する。本実施例では画像圧縮装置にシリアル信号の送受信機能を持たせた例について説明する。

【0011】まず同図(a)を用いて、画像情報を圧縮し、圧縮情報を装置外部に伝送する過程について説明する。

【0012】カメラ部101より出力された映像信号は、CODEC_LSI100に構成されたメモリコントローラ102を経由してメモリチップ103に入力される(A)。この情報は適当な時刻に再びCODEC_LSI100に戻され(B)、圧縮処理回路104でエンコード(圧縮)された後、システムバス105を経由してMPU106に入力される(C)。MPUでは、これを記録する場合には、たとえば記録時刻等の記録に必要な情報を付加して記録媒体107に格納し(D)、これを伝

送する場合には、たとえば一定長の通信パケットを生成し、そのデータ部にエンコード信号を分割挿入するなどの処理を加えた後、信号をシステムバスを経由してCODEC_LSIに返す(E)。CODEC_LSIでは、これを通信部109に設けられたパラシリ変換器112によりパラシリ変換した後に、メモリコントローラ110で制御されるFIFOメモリ111を経由して出力する。

【0013】つぎに同図(b)を用いて、圧縮された画像情報を受信してこれを伸張(デコード)する過程について説明する。

【0014】受信の場合は、逆にFIFOバッファ111で入力した後にシリパラ変換しシステムバスを経由してMPUに入力する(F)。MPUはこの受信信号を解釈し、例えば、圧縮映像信号情報を含んだ受信情報であるならば、これに関わる部分をシステムバス、メモリコントローラ、を介してメモリチップ103に入力(H)した後、同じくメモリコントローラを介して適切なタイミングでCODEC_LSIに返され(I)、伸張処理回路105でデコードされる。

【0015】以上の処理で、メモリチップのコントロール、および通信用FIFOメモリの制御はCODEC_LSIに構成されたそれぞれのメモリコントローラ102、110が行うが、両者はCODEC_LSIに接続された発振子103から生成されたクロックパルスにより駆動される。

【0016】このようにすれば、通信用メモリとそのコントローラそのほかをCODEC_LSIとは別個に設ける必要がなく、また独立な発振子を設置する必要もない、CODECを内蔵したカメラやVTR等のAV機器の全体のチップ数、部品数を削減し、小型軽量化を達成する事が出来る。

【0017】なお、以上のように本例では通信用FIFOメモリをCODEC_LSIに構成し、圧縮処理用メモリは別チップとしているが、この構成は、通信用FIFOメモリが一般的にキロbitオーダーの規模のもので良いのに対して、圧縮処理用メモリはメガbitオーダーを必要とすることを考慮したもので、当然ながら近い将来のLSI集積度向上により両者をCODEC_LSI上に構成する事も考えられる。

【0018】さらに、特にパケット化したビットストリーム情報を高速伝送する場合、パケットの最終位置にCRC(Cyclic Redundancy Check)ビット等の誤り検出情報を挿入して伝送することが一般的に行われており、このための回路をCODEC_LSIの通信部に持たせてもよい。例えばCRC誤り検出回路は、一般的に知られているように簡単な帰還型シフトレジスタと論理和(Exclusive Or)回路で実現出来る。

【0019】以上に本発明の別の1実施例を図2を用いて説明する。同図では画像情報を圧縮し、圧縮情報を装

置外部に伝送する過程について説明する。

【0020】本実施例ではCODEC_LSIに接続されたメモリチップのアドレスの一部分を圧縮のために用い、他の部分を通信用に用いる例である。

【0021】前記実施例に於いて通信用のFIFOメモリをCODEC_LSI上に構成する例について述べたが、本実施例ではCODEC_LSIとは別チップのメモリのアドレス上のある部分を圧縮伸張用に用い、他の部分を通信用に用いる。

【0022】カメラ部201より出力された映像信号は、CODEC_LSI200に構成されたメモリコントローラ202を経由して、メモリチップ203に入力されるが、ここでメモリチップにはあらかじめ圧縮伸張用のアドレスエリアXが設けてあり、入力はこのエリア内に行われる(A)。この情報は適当な時刻に再びCODEC_LSIに戻され(B)、エンコード(圧縮)された後、システムバス206を経由してMPU207に入力される。MPUでは、これを記録する場合には、たとえば記録時刻等の記録に必要な情報を付加して記録媒体208に格納し、これを伝送する場合には、たとえば一定長の通信パケットを生成し、そのデータ部にエンコード信号を分割挿入するなどの処理を加えた後、再び信号を、システムバスを経由してCODEC_LSIに返す。CODEC_LSIでは、信号を再度メモリコントローラ202を介してメモリチップ203の、あらかじめ定められた、圧縮伸張用エリアと一致しない通信用のアドレスエリアYに書き込んだ後、通信に適した周波数で読み出しを行う。

【0023】本発明の他の1実施例を図3に示す。図3は、CODEC_LSIの一具体構成例を示すもので、301はカメラに信号を入出力するビデオインターフェース回路、302、310は、各ブロックの信号入出力を行うバッファRAM、303はP, Bピクチャーのinternal, interを判定する判定回路、304はDCT/IDCT(Discrete Cosine Transform/ Inverse Discrete Cosine Transform = 離散コサイン変換/逆離散コサイン変換)処理回路、305は量子化、逆量子化、および、発生符号量を一定に保つレートコントロールを行う量子化逆量子化回路、306は可変長符号化、復号化を行うVLC/VLD回路、307は各ブロックの動作タイミングのコントロールパルスを生成するTG回路、308は外部RAMのコントロール回路、309は動きベクトルの検出回路、311はオーディオ信号のインターフェース回路、312は圧縮データの通信インターフェース回路、313は各ブロックの動作モード等をコントロールするデータレジスタ、314は外部MPUとのインターフェース回路である。以上の構成により、本CODEC_LSIでは、DCT変換、可変長符号化、双方向動き補償フレーム間予測を用いる画像圧縮、伸長、すなわち、MPEG, JPEG規格に対応す

る。以下、図5乃至図14の流れ図に沿って各モードを説明する。

【0024】1. JPEG圧縮モード（1）

図5において、カメラから入力された映像信号のJPEG圧縮モードについて説明する。まず、カメラから入力された映像信号は、ビデオインターフェース回路301から入力され、外部RAMコントロール回路308によって外部RAM315に転送される。次に、外部RAMコントロール回路308は、外部RAM315から映像信号を読み出し、映像信号をラスター形式からブロック形式に変換して、バッファRAM302に記憶する。バッファRAM302の映像信号は、DCT/IDCT回路304によってDCT係数に変換され、DC（直流）成分、AC（交流）成分毎に量子化逆量子化回路305によって量子化され、VLC/VLD回路306によって可変長符号化が行われ、バッファRAM302に戻される。こうして得られた圧縮データは、外部RAMコントロール回路308によって、外部RAM315に記憶され、MPUインターフェース回路306を経てMPUバスに出力される。

【0025】2. JPEG伸長モード

図6において、MPUバスから得られたJPEG圧縮データの伸長モードについて説明する。まず、MPUインターフェース回路306を介してMPUバスから入力された圧縮データは、外部RAMコントロール回路308によって外部RAM315に転送された後、バッファRAM302に記憶される。バッファRAM302に記憶された圧縮データは、VLC/VLD回路306による可変長復号化、量子化逆量子化回路305による逆量子化、DCT/IDCT回路304によるIDCT変換が行われ、バッファRAM302に戻される。こうして伸長された映像信号は、外部RAMコントロール回路308によって外部RAM315に送られ、さらに、外部RAMコントロール回路308によってブロックデータからラスターデータに変換されてビデオインターフェース回路301を経て映像信号として出力される。

【0026】3. JPEG圧縮モード（2）

図7において、MPUバスから映像信号をJPEG圧縮して、再びMPUバスに戻す処理について説明する。MPUインターフェース回路306から入力された映像信号は、外部RAMコントロール回路308によって外部RAM315に転送される。次に、外部RAMコントロール回路308は、外部RAM315から映像信号を読み出し、バッファRAM302に記憶する。バッファRAM302の映像信号は、DCT/IDCT回路304によってDCT係数に変換され、DC（直流）成分、AC（交流）成分毎に量子化逆量子化回路305によって量子化され、VLC/VLD回路306によって可変長符号化が行われ、バッファRAM302に戻される。こうして得られた圧縮データは、外部RAMコントロール

回路308によって、外部RAM315に記憶され、MPUインターフェース回路306を経てMPUバスに出力される。

【0027】4. 画像表示モード

図8において、MPUバスからの映像信号をそのまま画像表示する際の処理について説明する。MPUインターフェース回路306を介して入力された映像信号データは、外部RAMコントロール回路308によって、外部RAM315への転送される。外部RAMコントロール回路308は、この信号を読み出してブロックデータからラスターデータへの変換を行い、ビデオインターフェース回路301を介して映像信号として出力される。

【0028】本動作例によれば、MPUから映像信号を入力し、圧縮した後、再びMPUに圧縮データを出力する、あるいは、圧縮しないでビデオインターフェース回路301を介し、そのまま出画することができる。

【0029】5. MPEG圧縮

（1）Iピクチャー

図9において、MPEG圧縮モードにおけるIピクチャーの圧縮処理について説明する。まず、カメラから入力された映像信号は、ビデオインターフェース回路301から入力され、外部RAMコントロール回路308によって外部RAM315に転送される。次に、外部RAMコントロール回路308は、外部RAM315から映像信号を読み出し、映像信号をラスター形式からブロック形式に変換して、バッファRAM302に記憶する。バッファRAM302の映像信号は、DCT/IDCT回路304によってDCT係数に変換され、DC（直流）成分、AC（交流）成分毎に量子化逆量子化回路305によって量子化され、VLC/VLD回路306によって可変長符号化が行われ、バッファRAM302に戻される。こうして得られた圧縮データは、外部RAMコントロール回路308によって、外部RAM315に記憶され、MPUインターフェース回路306を経てMPUバスに出力される。ここまで処理はJPEG圧縮の場合と同様である。

【0030】一方、量子化逆量子化回路305によって量子化が行われたデータは、バッファRAM302に記憶され、量子化逆量子化回路305によって逆量子化され、DCT/IDCT回路304によってIDCT変換されることによって伸長され、外部RAMコントロール回路308によってリコンストラクト画像として外部RAM315に記憶される。このリコンストラクト画像は後で述べるPピクチャー及びBピクチャーの圧縮処理に用いられることになる。

【0031】（2）Pピクチャー

図10において、MPEG圧縮モードにおけるIピクチャーの圧縮処理について説明する。カメラから入力された映像信号は、ビデオインターフェース回路301から入力され、外部RAMコントロール回路308によって

外部RAM315に転送される。次に、外部RAMコントロール回路308は、外部RAM315から映像信号を読み出し、映像信号をラスター形式からブロック形式に変換して、バッファRAM302に記憶する。ここまでの処理は1ピクチャーの場合と同様である。

【0032】一方、MV(動きベクトル)検出回路309は、ラスター・ブロック変換されたデータと、先に説明したリコンストラクト画像のデータとを比較して、これらの相関関係を示すMV(動きベクトル)値を得る。

【0033】また、外部RAMコントロール回路308は、外部RAM315からこのMV値によって示されるリコンストラクト画像のブロックデータを読み出して、予測画像データとしてバッファRAM302に記憶する。

【0034】判定回路302は、こうして得られた映像データ、MV値及び予測画像データから、自分自身の画像のみで圧縮を行うintr、または前後の画像の相関関係を用いるinterのどちらの処理を行うか、及びHalfPel補償を行うかどうかを判定する。そして、DCT/IDCT回路304によるDCT変換、量子化逆量子化回路305による量子化が行われる。

【0035】バッファRAM302の映像信号は、DCT/IDCT回路304によってDCT係数に変換され、DC(直流)成分、AC(交流)成分毎に量子化逆量子化回路305によって量子化され、VLC/VLD回路306によって可変長符号化が行われ、バッファRAM302に戻される。こうして得られた圧縮データは、外部RAMコントロール回路308によって、外部RAM315に記憶され、MPUインターフェース回路306を経てMPUバスに出力される。

【0036】その一方、量子化逆量子化回路305によって量子化が行われたデータは、バッファRAM302に記憶され、量子化逆量子化回路305によって逆量子化され、DCT/IDCT回路304によってIDCT変換されることによって伸長され、外部RAMコントロール回路308によってリコンストラクト画像として外部RAM315に記憶される。このリコンストラクト画像は後で述べるBピクチャーの圧縮処理に用いられることになる。

【0037】(3) Bピクチャー

図11において、MPEG圧縮モードにおける1ピクチャーの圧縮処理について説明する。カメラから入力された映像信号は、ビデオインターフェース回路301から入力され、外部RAMコントロール回路308によって外部RAM315に転送される。次に、外部RAMコントロール回路308は、外部RAM315から映像信号を読み出し、映像信号をラスター形式からブロック形式に変換して、バッファRAM302に記憶する。ここまでの処理は1ピクチャーの場合と同様である。

【0038】一方、MV(動きベクトル)検出回路30

9は、ラスター・ブロック変換されたデータと、先に説明した1、あるいはPピクチャーのリコンストラクト画像のデータとを比較して、過去のリコンストラクト画像との相関関係を示すMV(動きベクトル)値と未来のリコンストラクト画像との相関関係を示すMVを得る。

【0039】また、外部RAMコントロール回路308は、外部RAM315からこの2つMV値によって示される2枚のリコンストラクト画像のブロックデータを読み出して、予測画像データとしてバッファRAM302に記憶する。

【0040】判定回路302は、こうして得られた映像データ、MV値及び予測画像データから、自分自身の画像のみで圧縮を行うintr、または前後の画像の相関関係を用いるinterのどちらの処理を行うか、また、interの場合、過去の予測画像を用いるか、未来の予測画像を用いるかの予測モードの判定、及びHalfPel補償を行うかどうかを判定する。そして、DCT/IDCT回路304によるDCT変換、量子化逆量子化回路305による量子化が行われる。

【0041】バッファRAM302の映像信号は、DCT/IDCT回路304によってDCT係数に変換され、DC(直流)成分、AC(交流)成分毎に量子化逆量子化回路305によって量子化され、VLC/VLD回路306によって可変長符号化が行われ、バッファRAM302に戻される。こうして得られた圧縮データは、外部RAMコントロール回路308によって、外部RAM315に記憶され、MPUインターフェース回路306を経てMPUバスに出力される。この処理手順はPピクチャーの場合と同様である。

【0042】6. MPEG伸長

(1) 1ピクチャー

図12において、MPEG伸長モードにおける1ピクチャーの伸長処理について説明する。まず、MPUインターフェース回路306を介してMPUバスから入力された圧縮データは、外部RAMコントロール回路308によって外部RAM315に転送された後、バッファRAM302に記憶される。バッファRAM302に記憶された圧縮データは、VLC/VLD回路306による可変長復号化、量子化逆量子化回路305による逆量子化、DCT/IDCT回路304によるIDCT変換が行われ、バッファRAM302に戻される。こうして伸長された映像信号は、外部RAMコントロール回路308によって外部RAM315に送られ、さらに、外部RAMコントロール回路308によってブロックデータからラスターデータに変換されてビデオインターフェース回路301を経て映像信号として出力される。なお、外部RAM315の画像データはP、BピクチャーのDECODEのため一定期間保持される。

【0043】(2) Pピクチャー

図13において、MPEG伸長モードにおけるPピクチャーの伸長処理について説明する。まず、MPUインターフェース回路306を介してMPUバスから入力された圧縮データは、外部RAMコントロール回路308によって外部RAM315に転送された後、バッファRAM302に記憶される。バッファRAM302に記憶された圧縮データは、VLC/VLD回路306による可変長復号化、量子化逆量子化回路305による逆量子化、DCT/IDCT回路304によるIDCT変換が行われる。ここまで処理手順は、Iピクチャーの場合と同様である。

【0044】一方、VLC/VLD回路306で可変長復号化されたデータから得られたMV値、intra/interによって、外部RAMコントロール回路308は、外部RAM315から先行するIピクチャーまたはPピクチャーをリコンストラクトのために読み出して予測データとしてバッファRAM302に記憶する。

【0045】判定回路303は、IDCT変換されたデータ及び予測画像データからintra/inter判定等を行い、伸長データを復元してバッファRAM302に記憶する。こうして伸長された映像信号は、外部RAMコントロール回路308によって外部RAM315に送られ、さらに、外部RAMコントロール回路308によってブロックデータからラスターデータに変換されてビデオインターフェース回路301を経て映像信号として出力される。なお、外部RAM315の画像データはP, BピクチャーのDECODEのため一定期間保持される。

【0046】(3) Bピクチャー

図14において、MPEG伸長モードにおけるBピクチャーの伸長処理について説明する。まず、MPUインターフェース回路306を介してMPUバスから入力された圧縮データは、外部RAMコントロール回路308によって外部RAM315に転送された後、バッファRAM302に記憶される。バッファRAM302に記憶された圧縮データは、VLC/VLD回路306による可変長復号化、量子化逆量子化回路305による逆量子化、DCT/IDCT回路304によるIDCT変換が行われる。ここまで処理手順は、Iピクチャーの場合と同様である。

【0047】一方、VLC/VLD回路306で可変長復号化されたデータから得られたMV値、intra/inter、予測モードによって、外部RAMコントロール回路308は、外部RAM315から前後するI, P, Bピクチャーをリコンストラクトのために読み出して予測データとしてバッファRAM302に記憶する。

【0048】判定回路303は、IDCT変換されたデータ及び予測画像データからintra/inter判定等を行い、伸長データを復元してバッファRAM302に記憶する。こうして伸長された映像信号は、外部RAMコントロール回路308によって外部RAM315に送られ、さらに、外部RAMコントロール回路308によってブロックデータからラスターデータに変換されてビデオインターフェース回路301を経て映像信号として出力される。

AMコントロール回路308によって外部RAM315に送られ、さらに、外部RAMコントロール回路308によってブロックデータからラスターデータに変換されてビデオインターフェース回路301を経て映像信号として出力される。

【0049】以上、本構成によれば、MPEG, JPEGを切り替えて圧縮、伸長を行うことができる。なお、MPUバスから映像信号をMPEG圧縮して、再びMPUバスに戻す処理については、説明を省略したが、JPEGの場合を応用した処理により実現できることは言うまでもない。

【0050】次に、本構成において、MPEG1規格の圧縮、伸長動作を行う場合のタイミングを図4を用いて説明する。図4(a)は圧縮におけるタイミングで、本図では、GOPサイズN=6, I, Pピクチャーの周期M=3を例として示している。今、NTSCの映像信号を30Hzで圧縮する場合、NTSCのフレームレートは60Hzなので片方のフィールドの信号は不要ないのでCODEC-LSIには取り込まない。このようにして取り込まれたフレームレート30Hzの映像信号は上記説明したように処理され、1フレーム期間にリアルタイム圧縮する。図4(b)は伸長動作のタイミングを示す図である。伸長動作は、圧縮動作と異なり、MV検出を行う必要もなく、また、DCT, IDCTを連続して行う必要もないため、処理時間は圧縮の半分程度で十分である。本図に示すように、1フィールド期間伸長動作し、次の1フィールド期間は伸長動作を停止させることでリアルタイム伸長を実現できる。なお、伸長した映像信号は、同一フレームの信号を2フィールド期間にわたって出力するようにすれば、60Hzの信号として出力することができ、NTSCで表示する場合にも特別なフレームレート変換機の必要もない。図4(c)は伸長動作のタイミングの他の例を示す図である。本図のように、毎フィールド期間伸長動作を行うようにすれば、倍速再生が簡単に実現できる。

【0051】図15は、本発明のCODEC-LSIのレイアウトを示す図である。「m_b_t」1501は外部RAMコントロール回路308の一部を構成する処理回路であり、「mr_j」1502は外部RAMコントロール回路308の一部及び判定回路303を構成する処理回路であり、「v」1503はMPUインターフェース回路306を構成する処理回路であり、「c_r」1504は量子化逆量子化回路305、オーディオ信号のインターフェース回路311、圧縮データの通信インターフェース回路312及び外部MPUとのインターフェース回路314を構成する処理回路であり、「e_a」1505はビデオインターフェース回路301及び動きベクトルの検出回路309の一部を構成する処理回路であり、「em」1506は動きベクトルの検出回路309の一部を構成する処理回路であり、「d」15

07はDCT／IDCT処理回路を構成する処理回路であり、「q」1508は量子化逆量子化回路305を構成する処理回路である。

【0052】また、「mcra1」1511、「mcra2」1512、「mcra3」1513及び「mcra3」1514はバッファRAM302を構成するRAM回路であり、「cahram4」1515及び「bram」1521はバッファRAM310を構成するRAM回路であり、「r_ram」1516及び「qramcore」1523は量子化逆量子化回路用のRAM回路であり、「erams1」1517、「erams1」1518及び「erams1」1519は動きベクトルの検出回路309用のRAM回路であり、「mvram」1520は外部RAMのコントロール回路308用のRAM回路であり、「dram」1522は、DCT／IDCT処理回路304用のRAM回路である。

【0053】以上説明したように、本実施例によれば、圧縮、伸長回路を同一半導体チップに構成しているため、特別なメモリ等を持つことなく、簡単な回路構成で、2倍速再生を行えるCODEC_LSIを実現することができる。なお、伸長動作では外部RAMの容量は、圧縮動作時の半分程度で十分なため、逆転再生等の特殊再生を行う場合においても、上記同様、特別なメモリ等を持つことなく、簡単な回路構成で実現できるのはいうまでもない。

【0054】

【発明の効果】本発明によれば、圧縮伸張用メモリと通信用メモリ、およびそれらのコントローラをCODEC_LSIとは別個に設ける必要がなく、CODECを内蔵したカメラやVTR等のAV機器の全体のチップ数、部品数を削減し、小型軽量化する事が出来る。

【図面の簡単な説明】

【図1】本発明の1実施例の画像圧縮伸張装置のブロック図。

【図2】本発明の別の1実施例の画像圧縮伸張装置のブロック図。

【図3】本発明のCODEC_LSIの1実施例を示すブロック図。

【図4】本発明のCODEC_LSIの1動作例を示す図。

【図5】本発明のJPEG圧縮の動作の流れを示す図。

【図6】本発明のJPEG伸長の動作の流れを示す図。

【図7】本発明のJPEG圧縮の動作の流れを示す図。

【図8】本発明の画像表示の動作の流れを示す図。

【図9】本発明のMPEGにおけるIピクチャーの圧縮の動作の流れを示す図。

【図10】本発明のMPEGにおけるPピクチャーの圧縮の動作の流れを示す図。

【図11】本発明のMPEGにおけるBピクチャーの圧縮の動作の流れを示す図。

【図12】本発明のMPEGにおけるIピクチャーの伸長の動作の流れを示す図。

【図13】本発明のMPEGにおけるPピクチャーの伸長の動作の流れを示す図。

【図14】本発明のMPEGにおけるBピクチャーの伸長の動作の流れを示す図。

【図15】本発明のCODEC_LSIのレイアウトを示す図。

【符号の説明】

100…CODEC_LSI、

101…カメラ部、

102…メモリコントローラ、

103…メモリ、

104…圧縮処理回路、

105…伸張処理回路、

106…システムバス、

107…MPU、

108…蓄積メディア、

109…通信部、

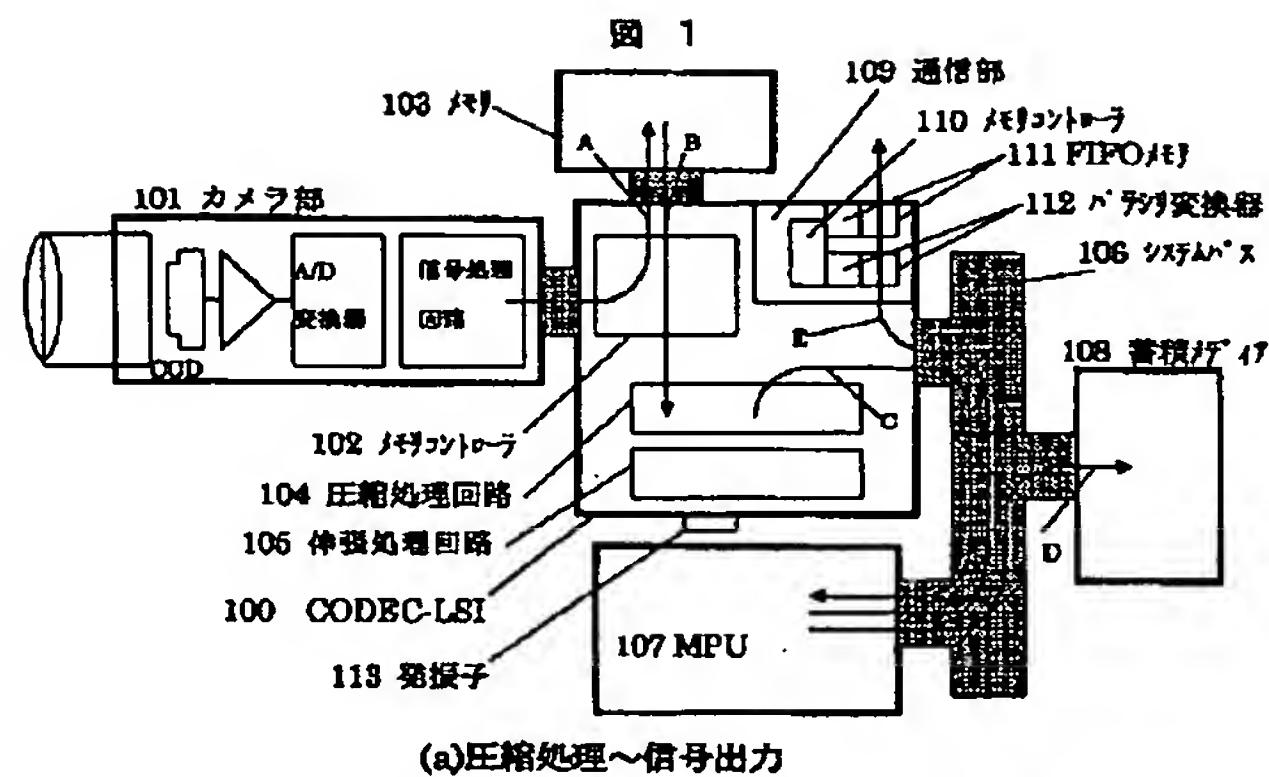
110…メモリコントローラ、

111…FIFOメモリ、

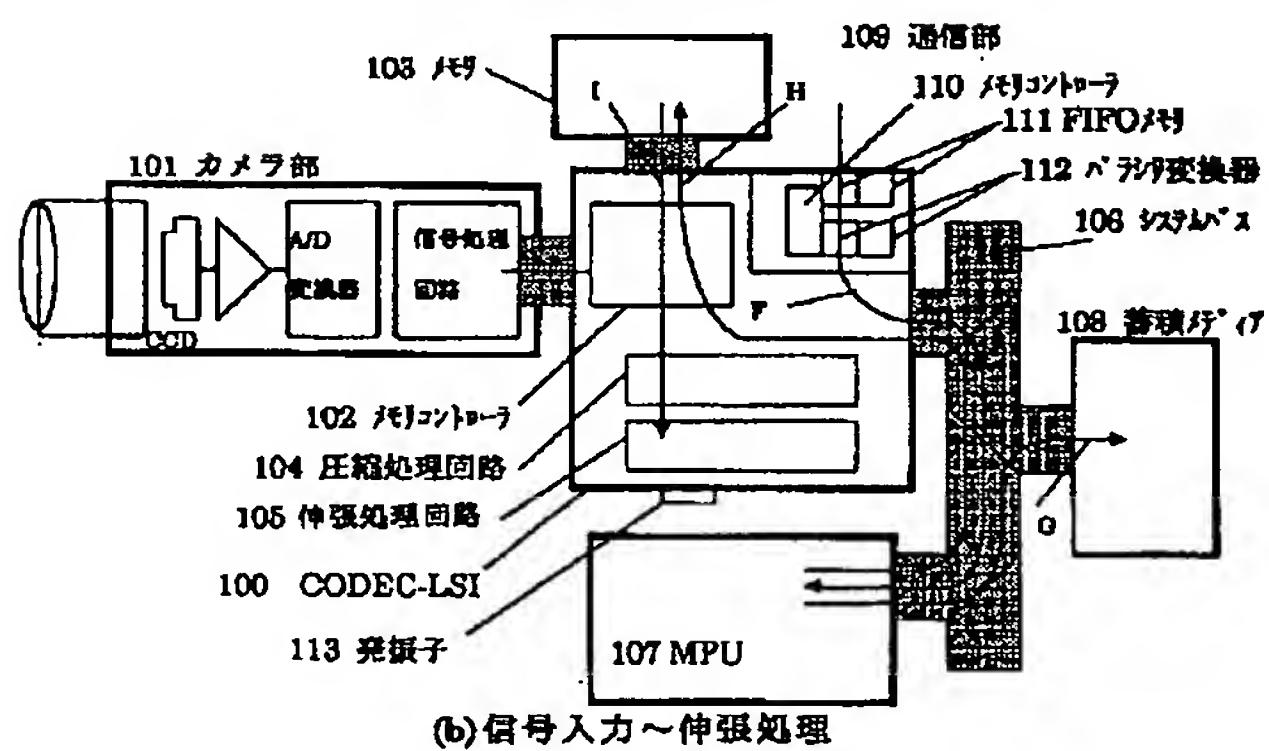
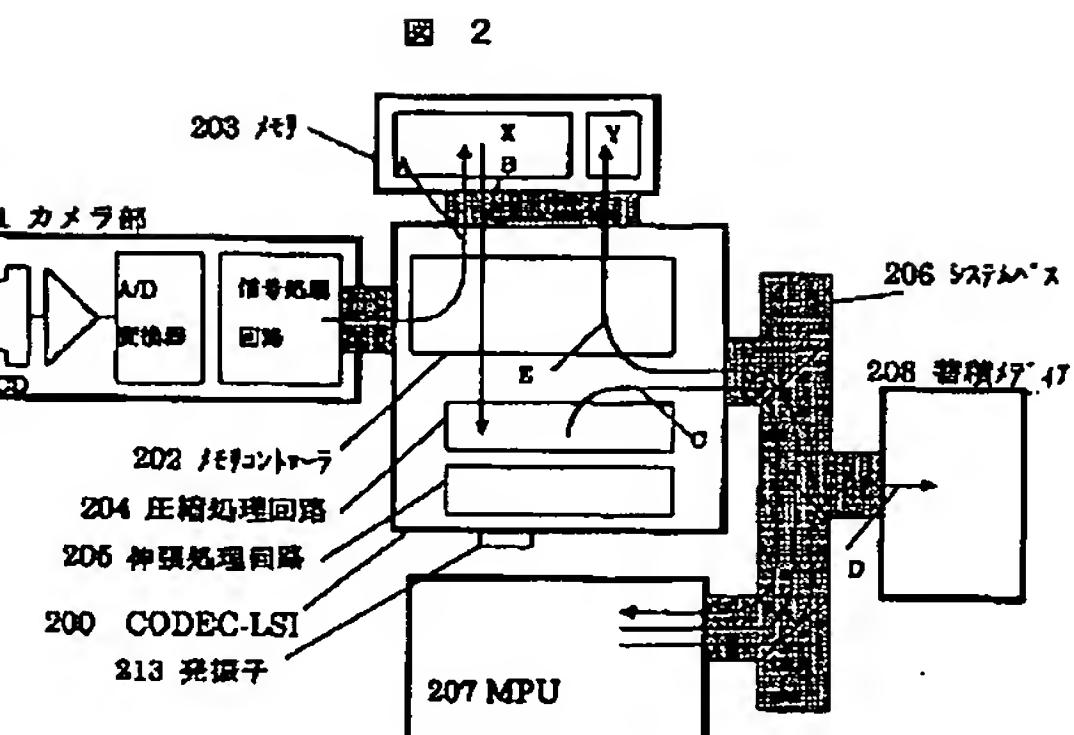
112…パラシリ変換器、

113…発振子。

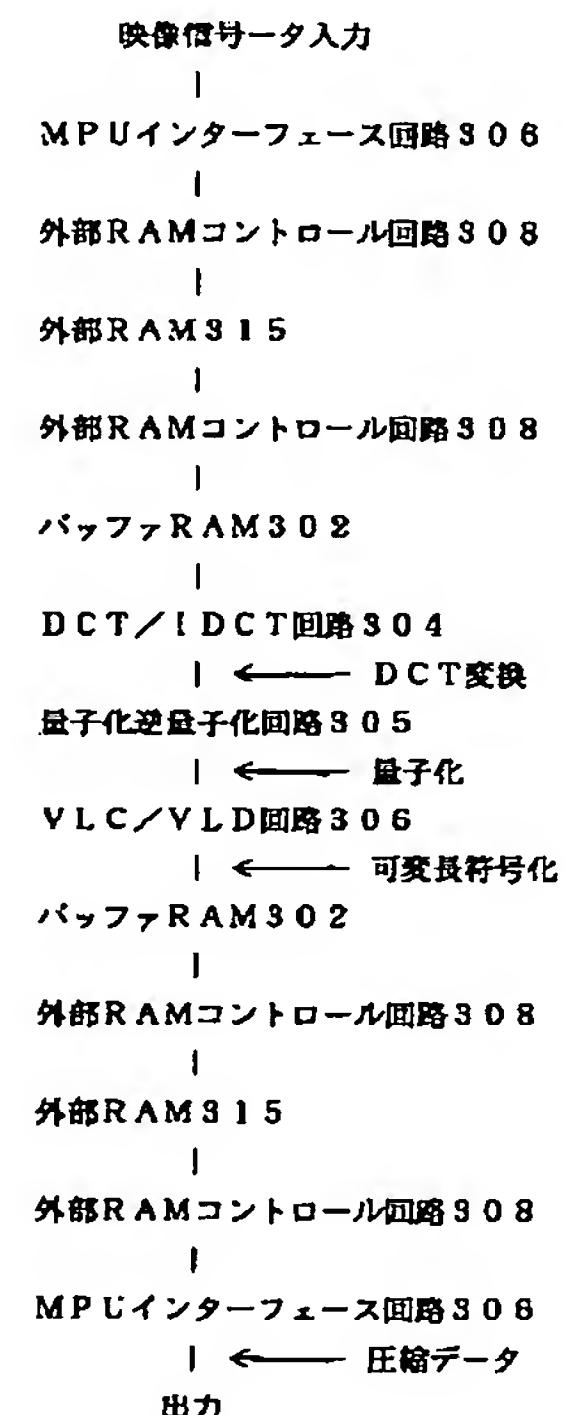
【図1】



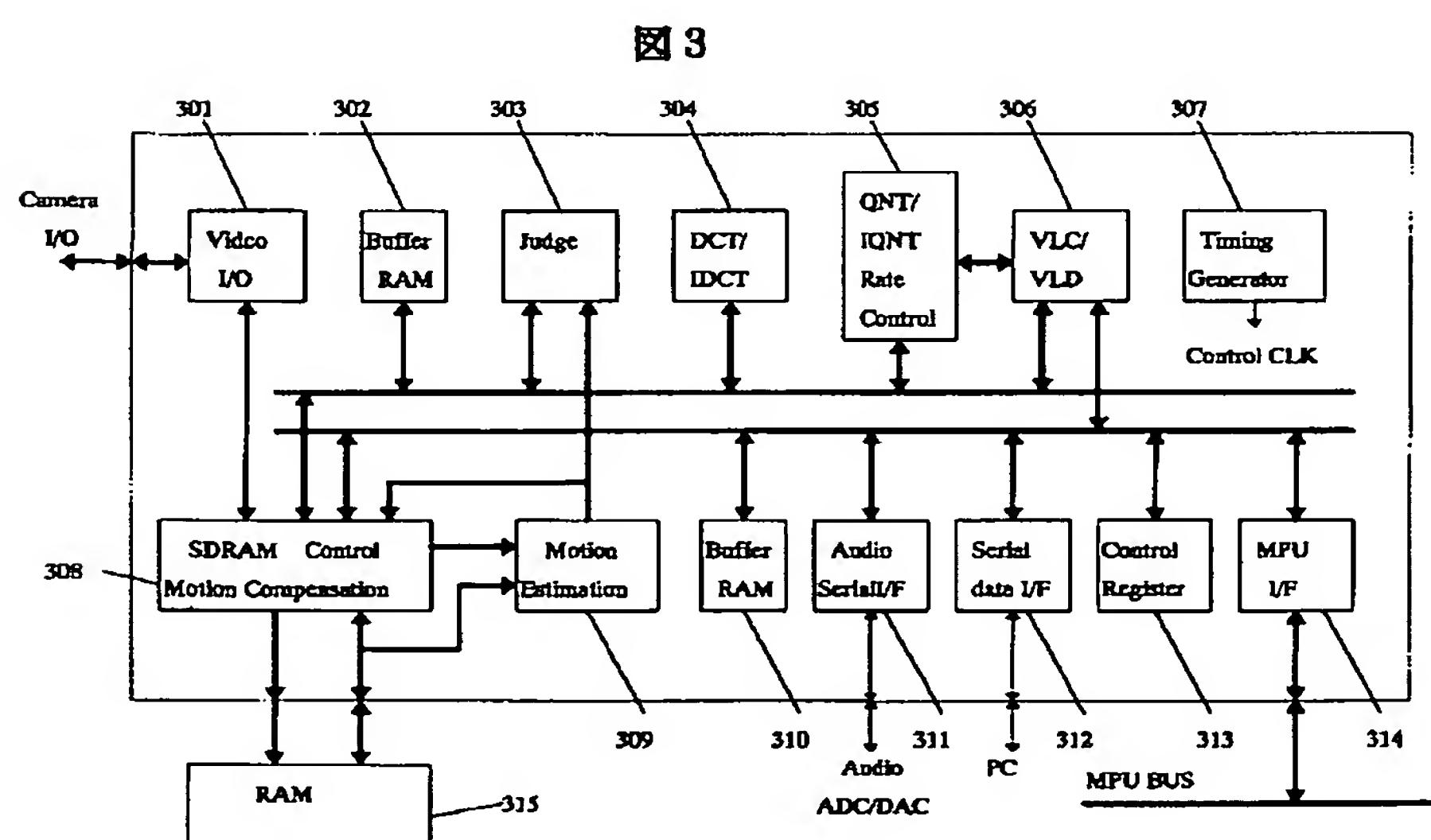
【図2】



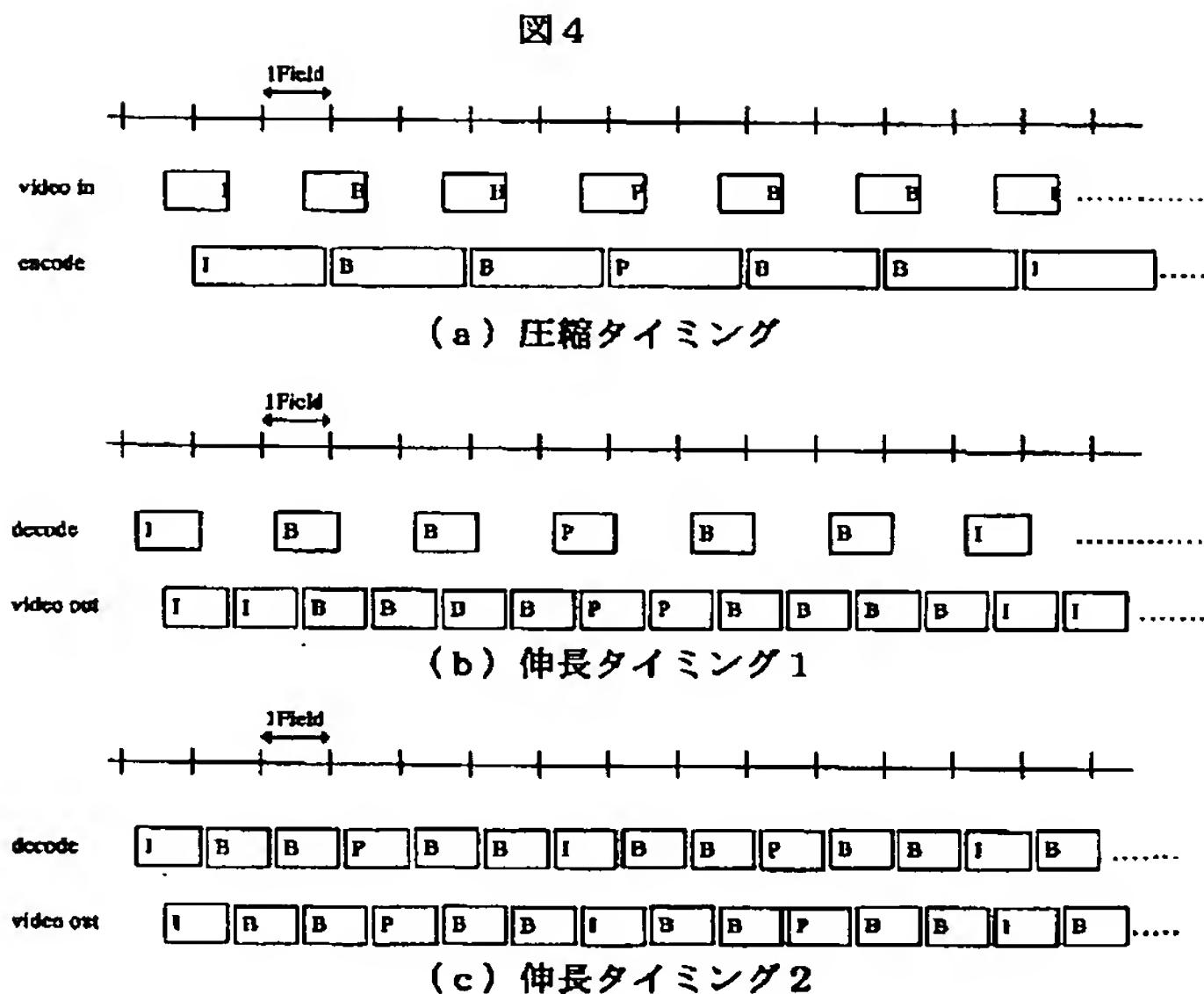
【図7】

図7
JPEG圧縮(2)

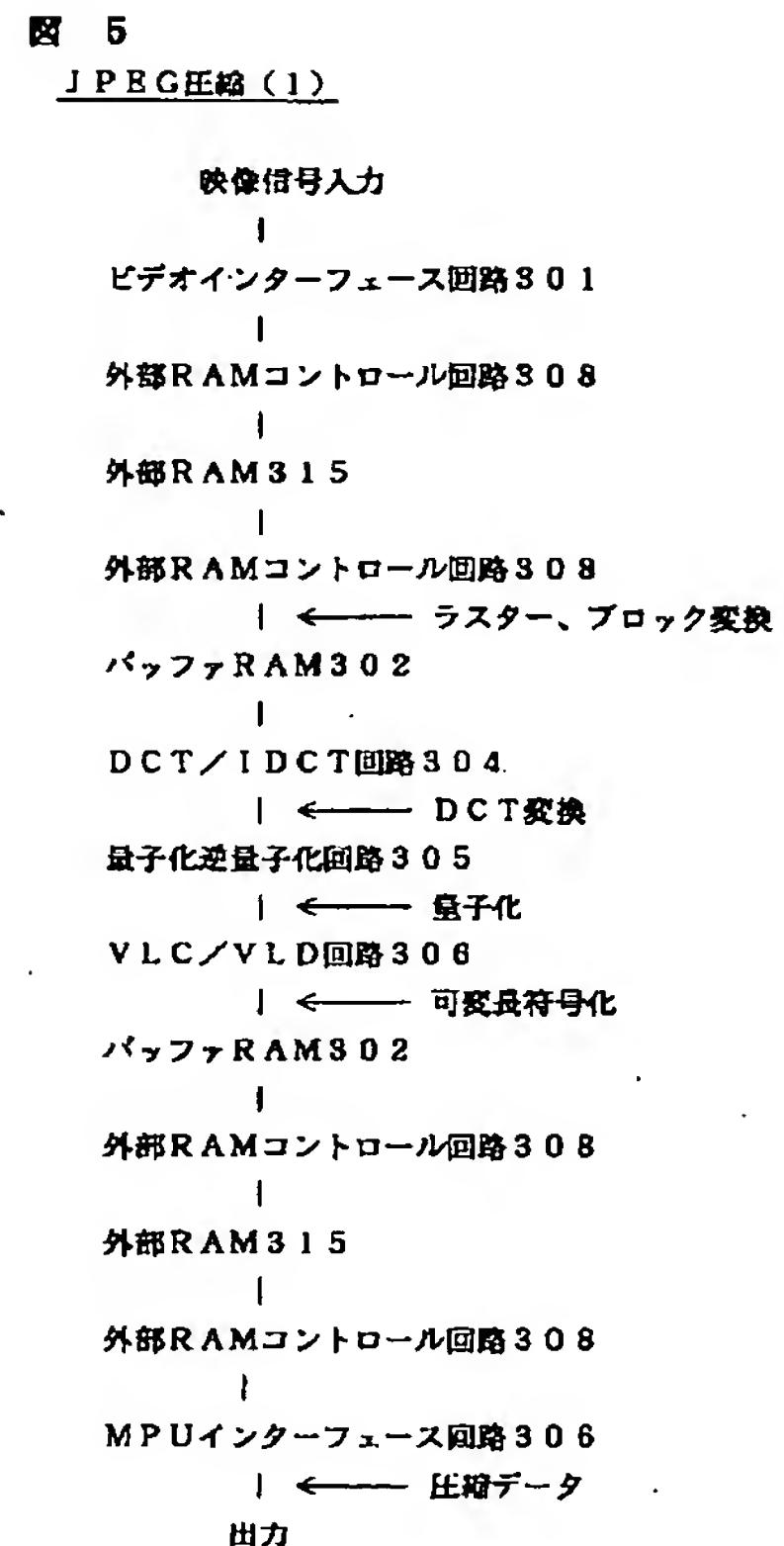
【図3】



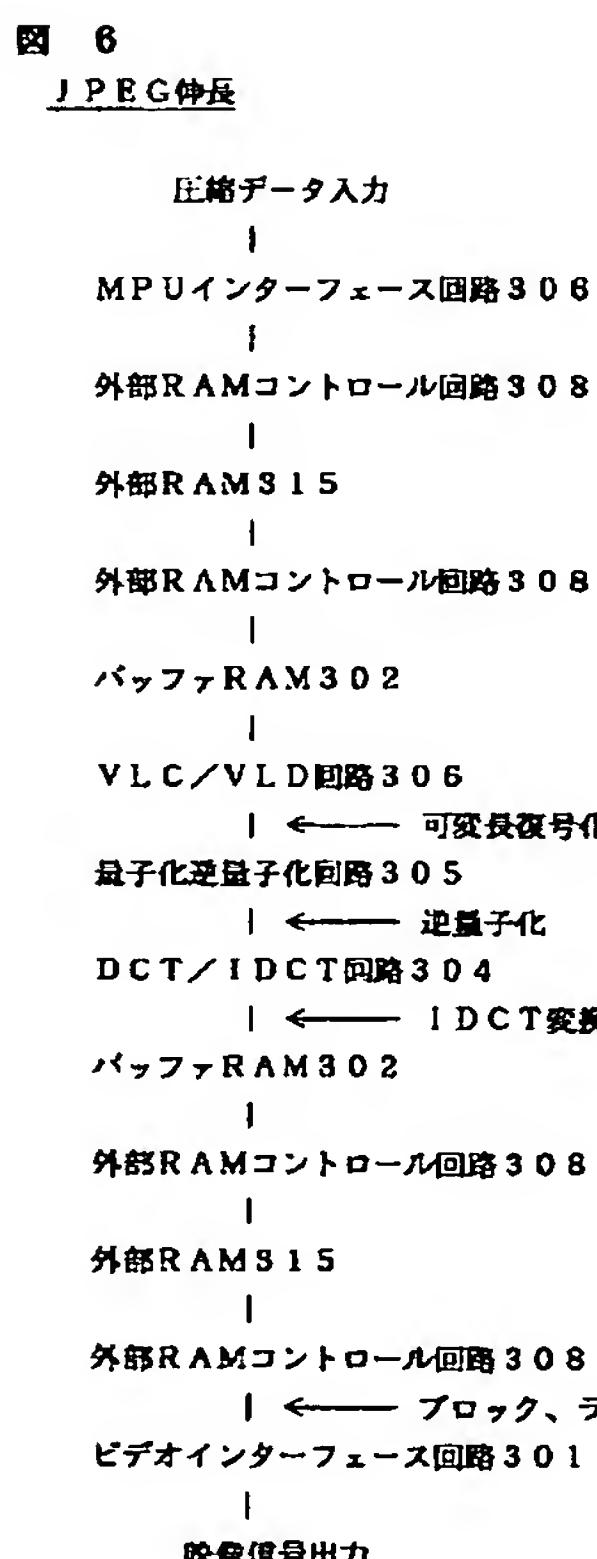
【図4】



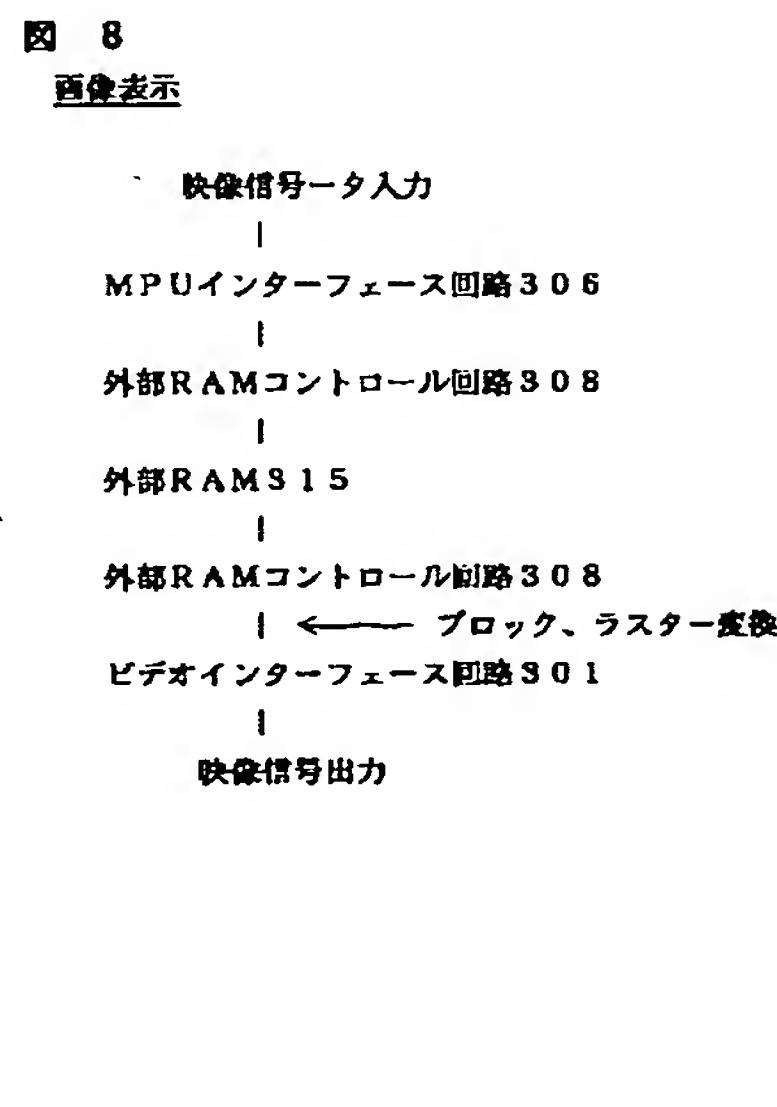
【図5】



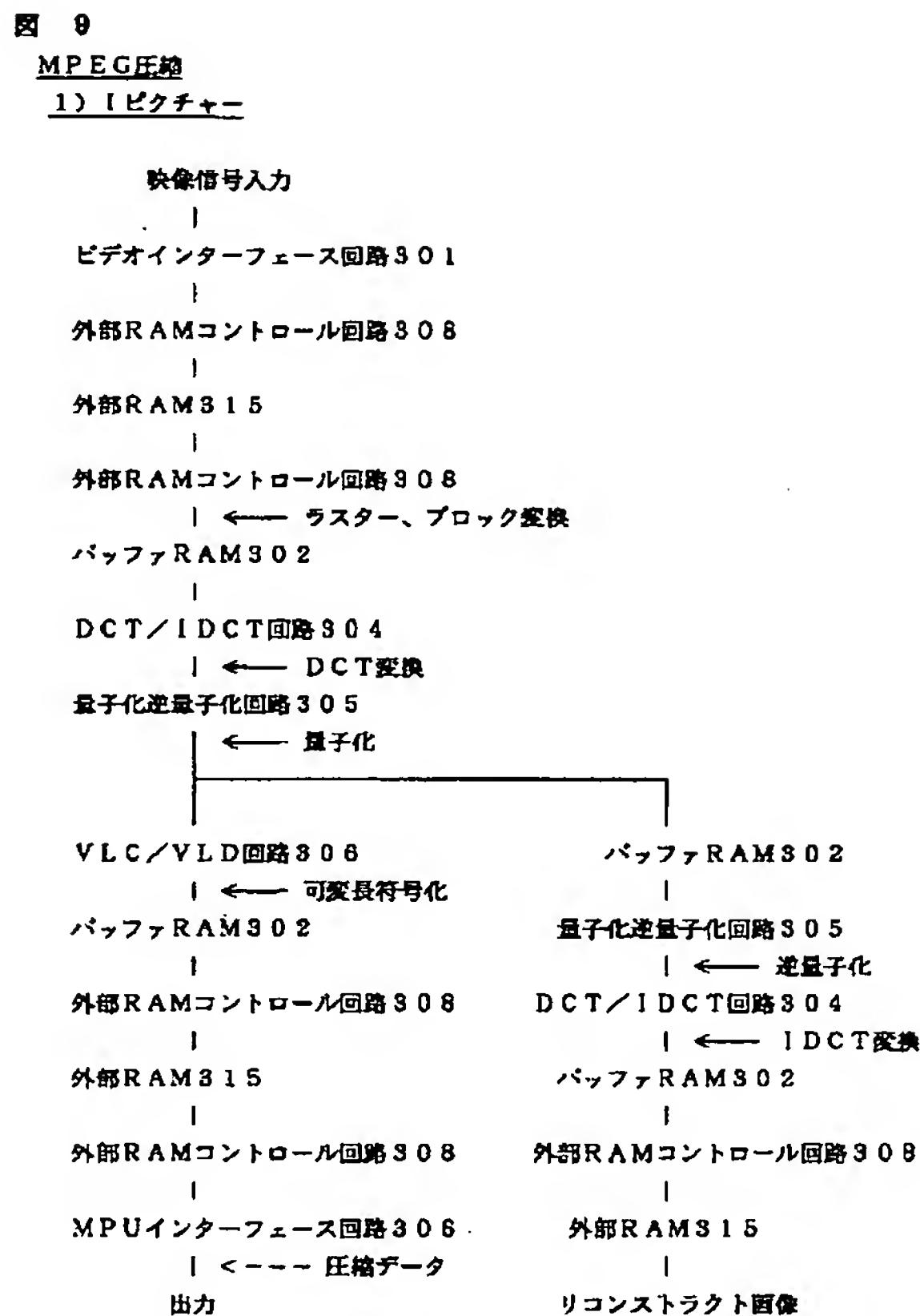
【図6】



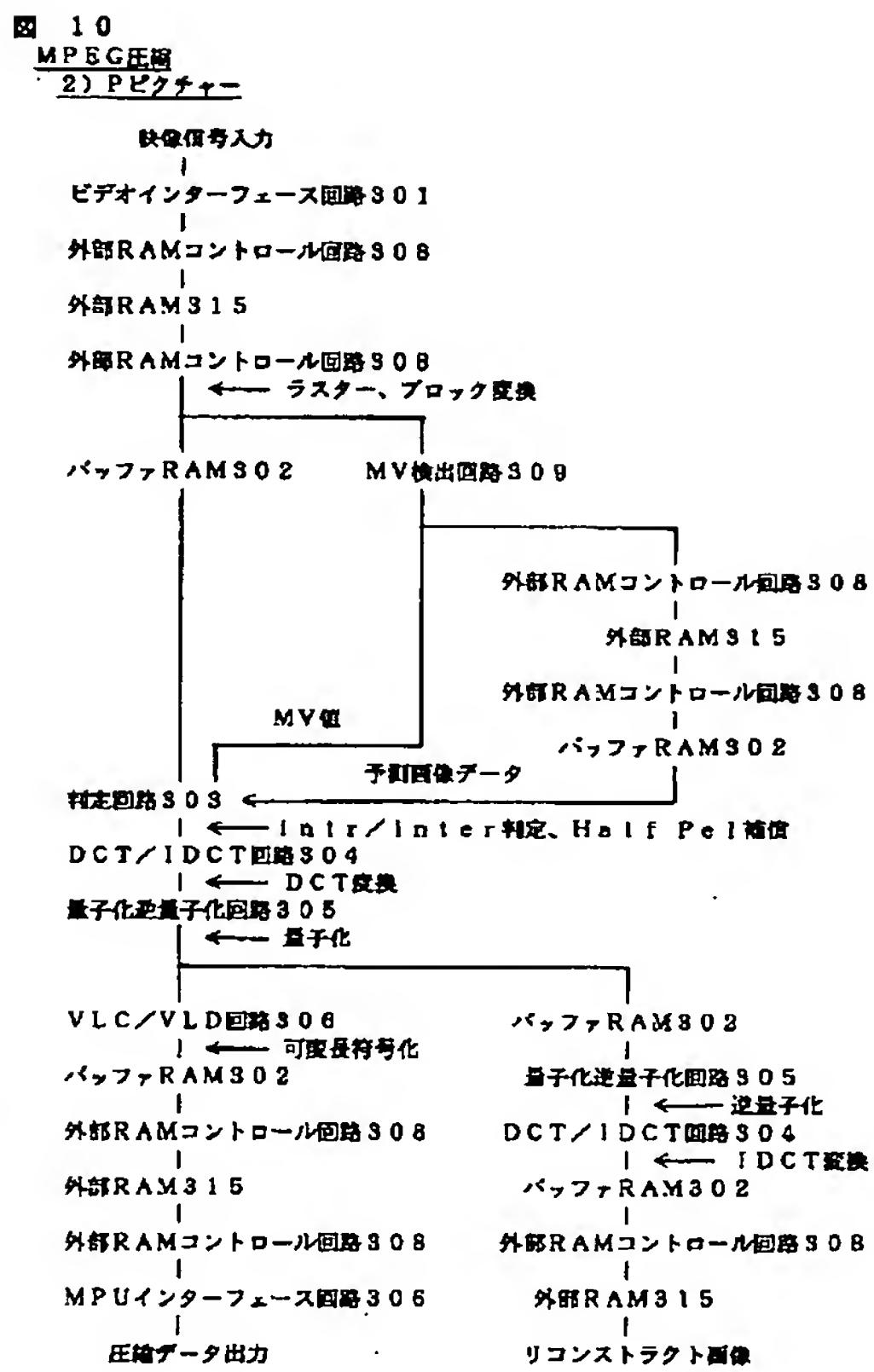
【図8】



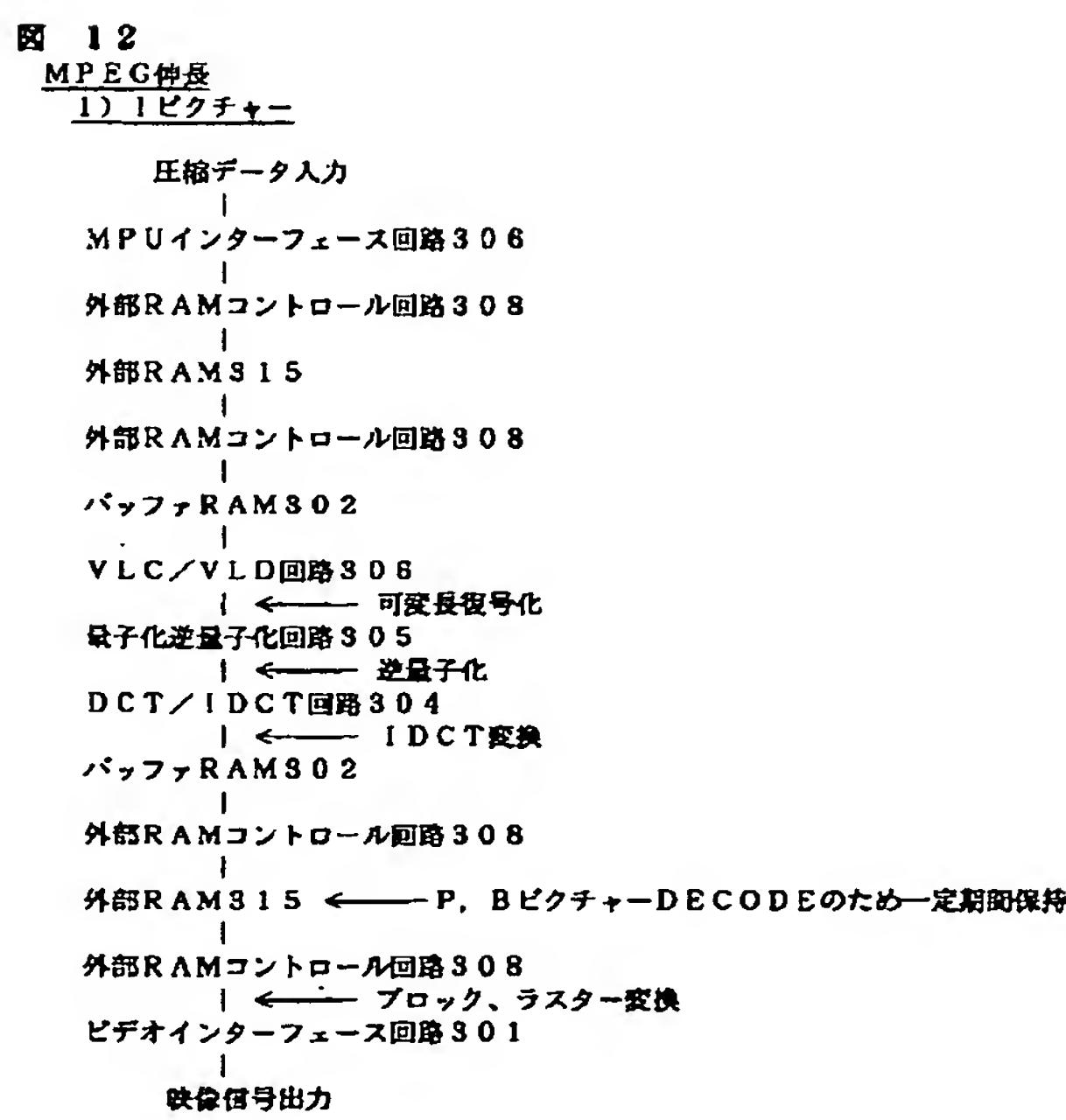
【図9】



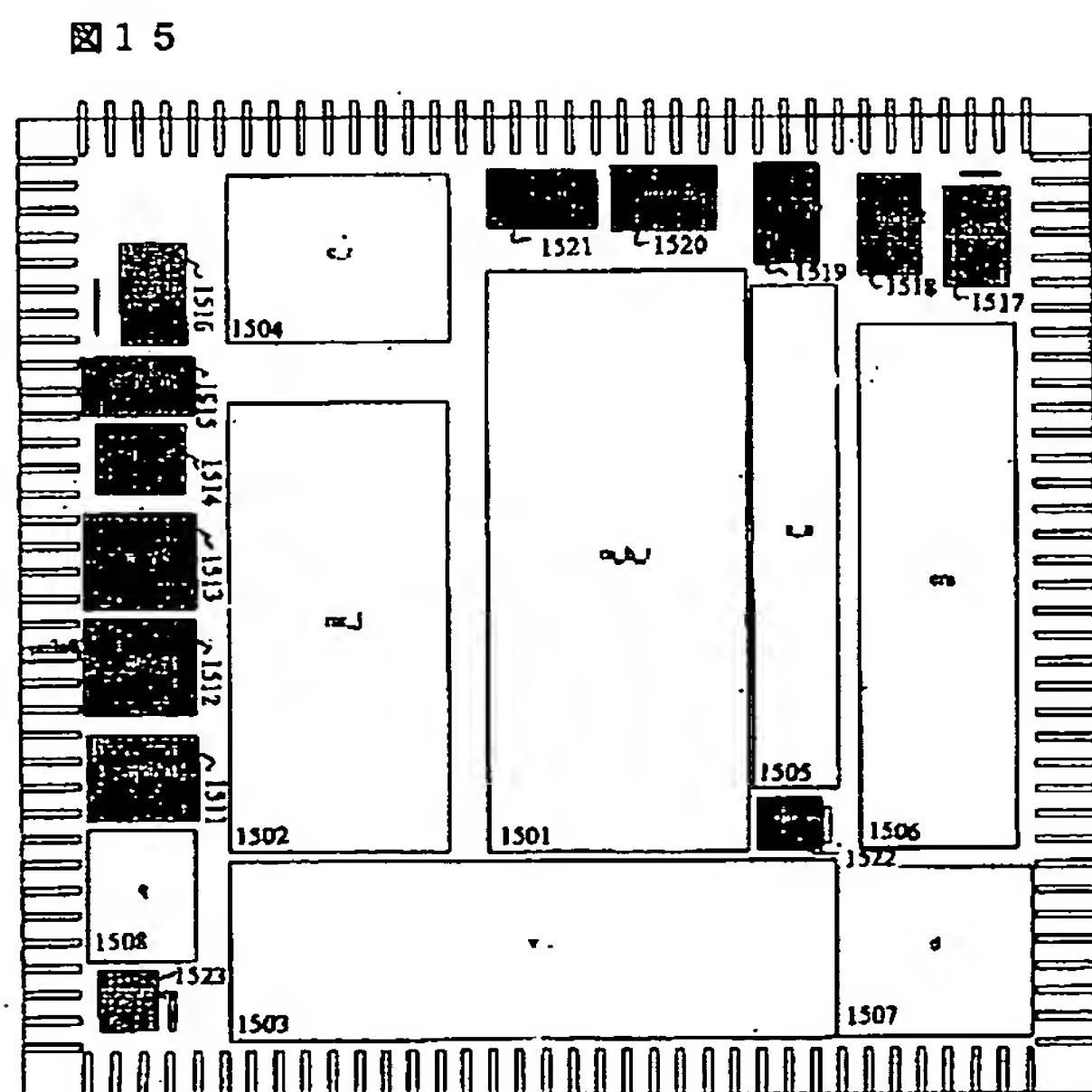
【図10】



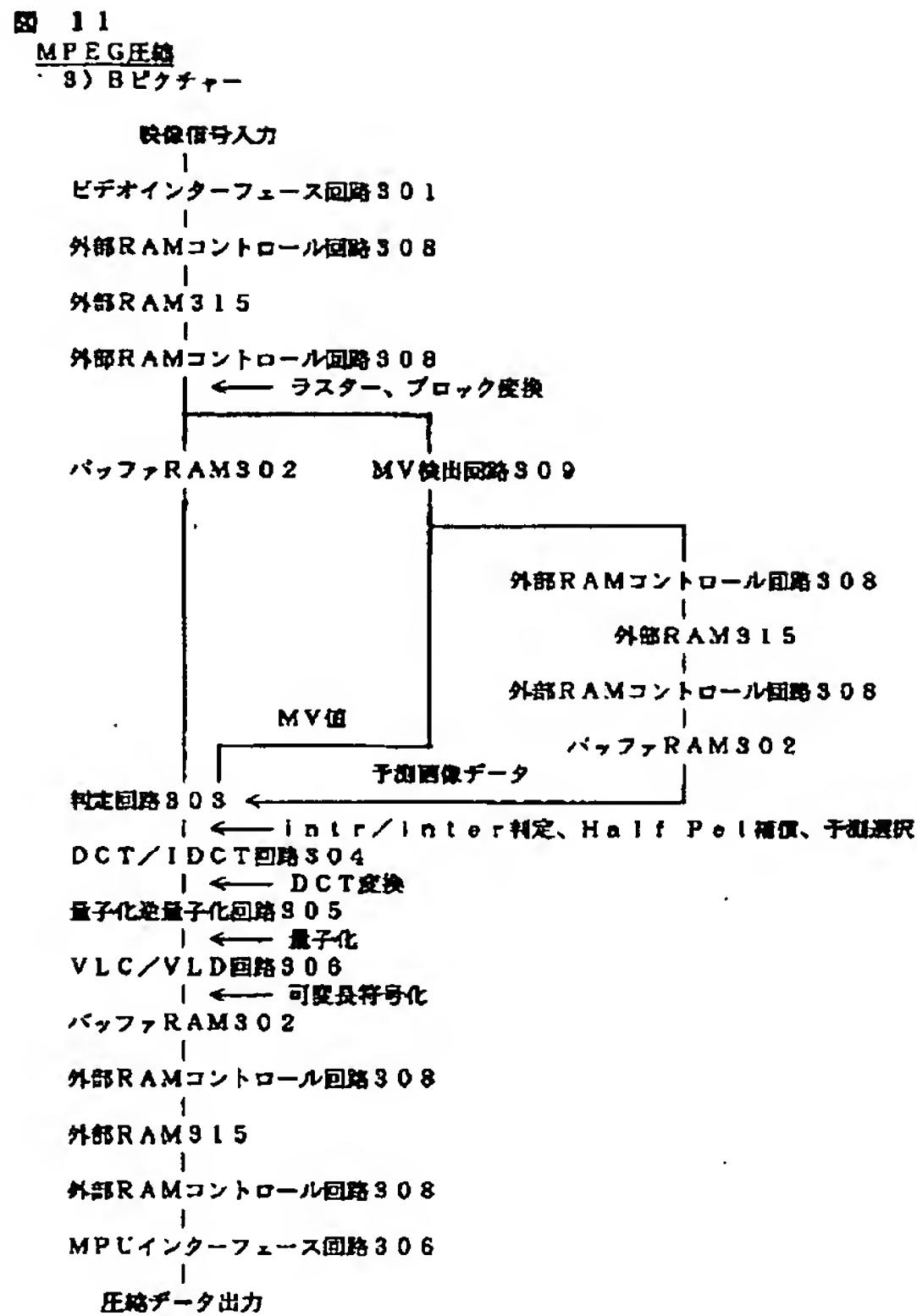
【図12】



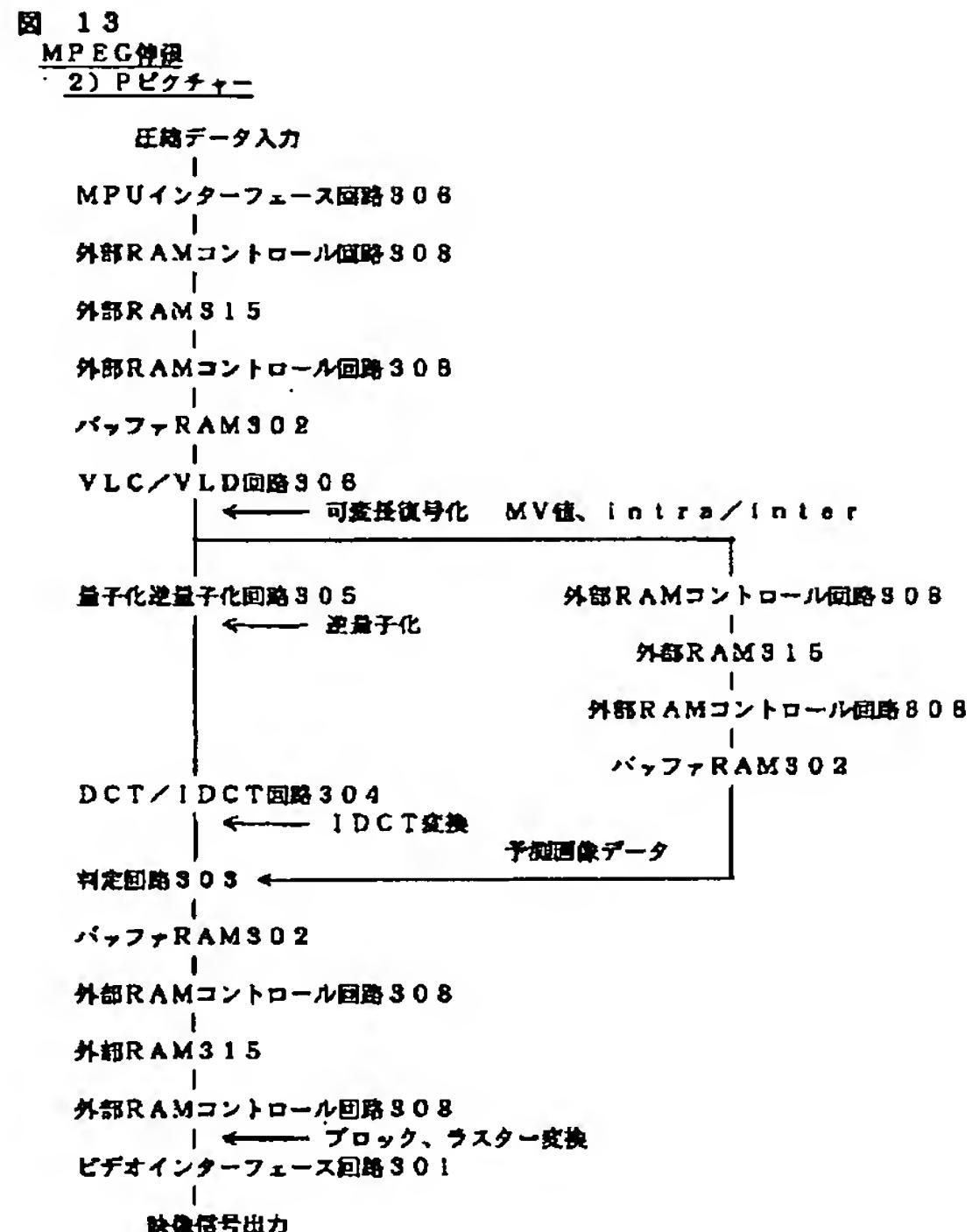
【図15】



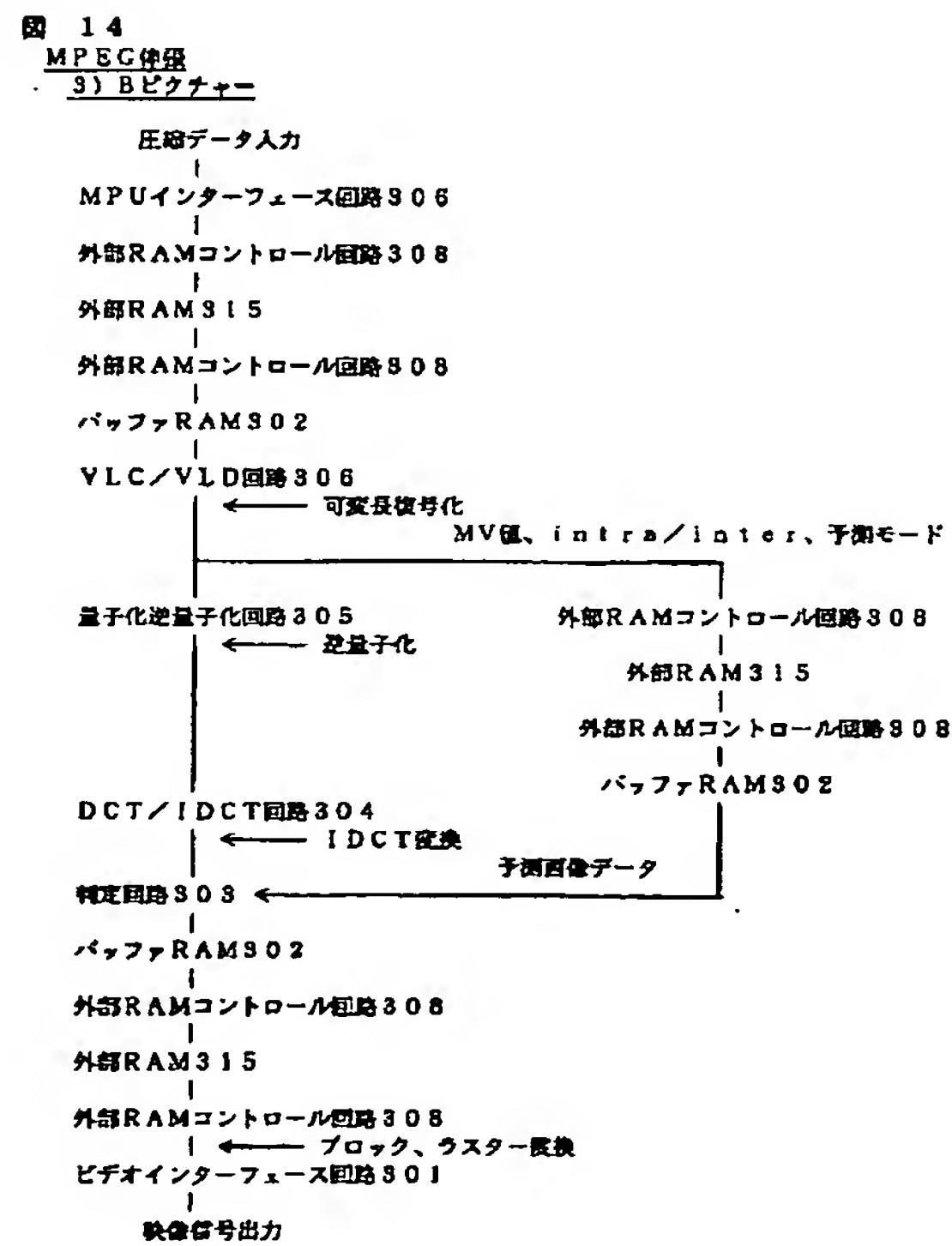
【 1 1】



【図13】



【图 1-4】



フロントページの続き

(72)発明者 千葉 浩
神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所映像情報メディア事業部内

(72)発明者 大坪 宏安
神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所映像情報メディア事業部内
(72)発明者 工藤 善道
神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所マルチメディアシステム開
発本部内